

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-198361

(43)Date of publication of application : 31.07.1997

(51)Int.Cl.

G06F 15/163
G06F 15/167

(21)Application number : 08-009111

(71)Applicant : KOFU NIPPON DENKI KK

(22)Date of filing : 23.01.1996

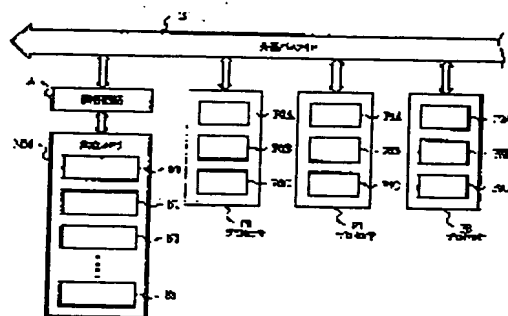
(72)Inventor : KOBAYASHI TOMOKO

(54) MULTI-PROCESSOR SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To remove waiting time for a write operation and a read operation for a common memory in a multi-processor system executing communication among processors through shared memories.

SOLUTION: Data areas N0-Ni storing data transmitted among the processors P0-Pi are provided in the shared memory in accordance with transmission processors. Transmission destination storage parts P0C-PiC storing transmission destination processor numbers and transmission source storage parts P0B-PiB storing transmission source processor numbers are provided in the processors. Thus, broadcasting communication specifying a transmission destination is realized.



LEGAL STATUS

[Date of request for examination] 23.01.1996

[Date of sending the examiner's decision of rejection] 11.04.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

【特許請求の範囲】

【請求項1】 プロセッサ間のデータ転送を共有メモリを介して行ない、かつ、データ伝送通知を割り込みで行なうようなマルチプロセッサシステムにおいて、前記共有メモリはプロセッサ相互間で伝送されるデータを記憶するデータ領域をプロセッサ対応に有し、各プロセッサは、データを送信する際、自プロセッサに対応のデータ領域にデータを格納したのち（102）、送信先プロセッサに対し送信元プロセッサ番号とデータ読み出し指示信号を割り込みにて送信する割り込み手段（103）と、送信先プロセッサを記憶する送信先記憶部と、送信先プロセッサからデータ読み出し終了信号と送信先プロセッサ番号を受信した後（200）、そのプロセッサ番号が前記送信先記憶部に格納された送信先プロセッサ番号であるかを判断する手段（104）と、プロセッサがデータを送信中であり次の通信を共有メモリに書き込めない状態であることを知る手段（100、101、105）と、データを読み出す際、割り込みにて受信した（200）送信元プロセッサ番号に対応するプロセッサを記憶する送信元記憶部と、前記共有メモリ内の送信元プロセッサ番号の示すデータ領域からデータを読み出す手段（203）と、送信元プロセッサに割り込みにてプロセッサ番号とデータ読み出し終了信号を送信する手段（204）とを有することを特徴とするマルチプロセッサシステム。

【請求項2】 前記複数のプロセッサと、該複数のプロセッサからの前記共有メモリに対するアクセスを調停する調停回路とが共有バスラインに接続され、該調停回路に前記共有メモリが接続されることを特徴とする請求項1記載のマルチプロセッサシステム。

【請求項3】 前記複数のプロセッサと、前記共有メモリとが直結され、該共有メモリにプロセッサ通信のインターフェイスを設けたことを特徴とする請求項1記載のマルチプロセッサシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はマルチプロセッサシステム、特に、1台の共有メモリを複数台のプロセッサで使用するマルチプロセッサシステムに関する。

【0002】

【従来の技術】従来のこの種のマルチプロセッサシステムにおいては、共有メモリ内にデータが書き込まれる領域を排他制御する方式が採用されている。

【0003】

【発明が解決しようとする課題】このような従来のマルチプロセッサでは、送信元プロセッサがデータを書き込む領域には同時に1つの送信元プロセッサしか書き込めないという問題がある。

【0004】本発明はこの用な事情に鑑みてなされたも

と領域を送信元プロセッサ毎に設け、送信元プロセッサは送信先プロセッサからのリブライが全て返るまで次の通信を出さないという制約を設け、送信元プロセッサが送信元プロセッサ番号を送信先プロセッサに渡す事によって、送信元プロセッサが排他制御による待ち時間無くデータを書込むことが実現できるマルチプロセッサシステムを提供する事を目的とする。

【0005】さらに、送信先プロセッサがデータ読み出し状態になくても、送信元プロセッサが割り込みを発生し送信元プロセッサ番号を送信し、送信先プロセッサは読み出し可能状態時にその間に受信した全ての送信元プロセッサ番号の示すデータ領域からデータを順に読み出す事ができ、その順序性は送信先のプロセッサ記憶する事で送信元と送信先とのプロセッサ間で同期がとれるマルチプロセッサシステムを提供する事を目的とする。

【0006】

【課題を解決するための手段】本発明のマルチプロセッサシステムは、プロセッサ間のデータ転送を共有メモリを介して行ない、かつ、データ伝送通知を割り込みで行なうようなマルチプロセッサシステムにおいて、前記共有メモリはプロセッサ相互間で伝送されるデータを記憶するデータ領域をプロセッサ対応に有し、各プロセッサは、データを送信する際、自プロセッサに対応のデータ領域にデータを格納したのち（102）、送信先プロセッサに対し送信元プロセッサ番号とデータ読み出し指示信号を割り込みにて送信する割り込み手段（103）と、送信先プロセッサを記憶する送信先記憶部と、送信先プロセッサからデータ読み出し終了信号と送信先プロセッサ番号を受信した後（200）、そのプロセッサ番号が前記送信先記憶部に格納された送信先プロセッサ番号であるかを判断する手段（104）と、プロセッサがデータを送信中であり次の通信を共有メモリに書き込めない状態であることを知る手段（100、101、105）と、データを読み出す際、割り込みにて受信した（200）送信元プロセッサ番号に対応するプロセッサを記憶する送信元記憶部と、前記共有メモリ内の送信元プロセッサ番号の示すデータ領域からデータを読み出す手段（203）と、送信元プロセッサに割り込みにてプロセッサ番号とデータ読み出し終了信号を送信する手段（204）とを有することを特徴とする。

【0007】【作用】このように構成されたマルチプロセッサであれば、共有メモリ内のデータ格納領域に送信元となるプロセッサが複数アクセスしても、送信先プロセッサ毎に排他制御をする事なく書き込みができ、また送信先プロセッサの読み出し可能時に複数の送信元プロセッサが格納した通信データを読み出す事ができる。また、送信元プロセッサは、送信先プロセッサにプロセッサ番号を送る事で、同時に送信先プロセッサ複数ある場合（ブロードキャスト通信の場合）に送信先プロセッサ

【0008】

【発明の実施の形態】以下、本発明の実施例を図面を用いて説明する。

【0009】図1は本発明の一実施例のマルチプロセッサシステムを示すブロック図である。図1において、共通バスラインBは、プロセッサ間でやり取りするデータのバスと、プロセッサ番号のバスと、通信の種類バスとを有する。共通バスラインBに対して、調停回路Aを介して一台の共有メモリMMと、 $(i+1)$ 台のプロセッサP0～Pi接続されている。なお、調停回路Aは共有メモリMMに対して同時に複数台のプロセッサがアクセスするのを防止する回路である。

【0010】プロセッサPn ($n=0\sim i$) 内には、共有メモリMMに対する書き込みを終了し送信元プロセッサ番号とデータ読み出し指示信号を送信先のプロセッサPm ($m=0\sim i$, 但し $m\neq n$) に送信するための割り込み発生手段PnAと、送信元プロセッサを記憶する送信元記憶部PnBと、送信先プロセッサを記憶する送信先記憶部PnCを有する。また、共有メモリMM内には各プロセッサ対応のデータ領域N0～Niが形成されている。

【0011】この様な構成のマルチプロセッサシステムにおいて、一つのプロセッサから送信先プロセッサを特定してデータを送信する場合は、この送信元のプロセッサは図2に示す流れ図に従って、データの書き込み処理を実行するようにプログラム構成されている。

【0012】いま、プロセッサP0から、プロセッサP1とP2へデータを送信する場合を例として具体的に動作を説明する。この場合、共有メモリMM内のデータ領域N0と、プロセッサP0、P1、P2内の送信元記憶部P0B、P1B、P2B及び送信先記憶部P0C、P1C、P2Cの内容は図4のようになる。

【0013】送信元プロセッサP0は、プログラムステップ100において、プロセッサ内のプロセッサがデータを送信中であり、次の通信を共有メモリに書き込めない状態であることを表示するフラグF0が“0”であることを調べる。フラグが“1”であればフラグが“0”になるまで処理はしない。フラグF0が“0”であれば101において、フラグF0を“1”とし、102において、送信すべきデータを共有メモリMM内のデータ領域群のプロセッサP0に対応するデータ領域N0に書き込む。

【0014】次に、103において送信先プロセッサP1、P2に、送信元プロセッサ番号と読みだし指示信号を送信する。このように、送信先が複数ある場合には、全ての送信先プロセッサに送信元プロセッサ番号と読み出し指示信号を送信する。この時、図4に示すように、送信元プロセッサP0内の送信先記憶部P0Cに、全ての送信先プロセッサ(P1、P2)を記憶しておく。1

み出し終了信号と送信先プロセッサ番号を受け取ったら送信先記憶部P0Cをクリアし、全ての送信先プロセッサ(P1、P2)から、読み出し終了信号と送信先プロセッサ番号を受け取ったのちに105においてフラグF0=0とする。

【0015】一方、送信先のプロセッサ(P1、P2)は図3に示す流れ図に従って、データの読み出し処理を実行するようにプログラム構成されている。200において、割り込みにて読み出し指示信号と送信元プロセッサ番号P0を受信したら、201において送信元プロセッサ番号P0を自プロセッサ内の送信元記憶部P1B、P2Bに記憶する。次に、202において自プロセッサが読み出し可能状態かを調べ、読み出し可能状態ならば203において送信元プロセッサ番号(P0)の示すデータ領域N0からデータを読み出す。204において送信元記憶部P1B、P2Bをクリアし、読み出しが終了したら読み出し終了信号と、送信先プロセッサ番号(P1、P2)送信元プロセッサP0に割り込みにて送信する。

【0016】このように構成されたマルチプロセッサシステムであれば、送信先プロセッサの排他制御の必要無く送信元プロセッサの書き込みが出来、送信先のプロセッサはいつでも読み出し可能時に読み出しができる。また、送信先プロセッサが複数ある場合にもプロセッサを特定することができる。

【0017】また、データ領域N0～Niに書き込まれたデータを読み出す場合には、送信先プロセッサが読み出し可能状態までに受信した送信元プロセッサ番号の示す全てのデータ領域からデータを読み出しその読み出し順位は送信先プロセッサ内で記憶することで同期をとることができる。

【0018】このように、送信元プロセッサ毎にデータ領域を設ければ、1対Nの通信に際しても、送信先に対して排他制御をすることなく、送信先プロセッサを特定することができるので、大幅な処理速度の短縮ができる。

【0019】また、送信先プロセッサは、読み出し可能状態になるまで読み出しを行なわないので割り込みによる他処理への影響も少なくすることができ、読み出し処理のプライオリティによって管理することができるので、各システムにおいてこのプライオリティを規定することができる。また、送信先プロセッサは読み出し可能状態になるまでに受信したN回の通信を、まとめて読み出すことができ、この順序性も保証できる。

【0020】図5は本発明の他の実施例を示す図であり、共通バスラインを介さず、直接、共有メモリにプロセッサ通信のインターフェイスを待ち、複数プロセッサを接続したマルチプロセッサシステムである。

【0021】

ロセッサシステムによれば、共有メモリ内にデータが書き込まれるデータ領域を各プロセッサ毎に設け、送信元のプロセッサが自プロセッサの領域にデータを書き込むことにより、送信先のプロセッサが特定される場合のブロードキャスト通信を可能にしている。したがって、送信元のプロセッサは、一度に多数のプロセッサに対してデータを送信する事ができ、伝送時間を大幅に短縮することができる。

【0022】また、送信先のプロセッサは送信元プロセッサを記憶して任意時にまとめて読み出すことができることから、共通バスの使用頻度を減少でき、プロセッサ間の通信によるデータ読出処理とその他の処理のプライオリティを各システムによってきめることができ、この処理の最適化によりシステム機能の向上ができるという効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例のブロック図である。

【図2】図1に示した実施例における送信元プロセッサの流れ図である。

【図3】図1に示した実施例における送信先プロセッサの流れ図である。

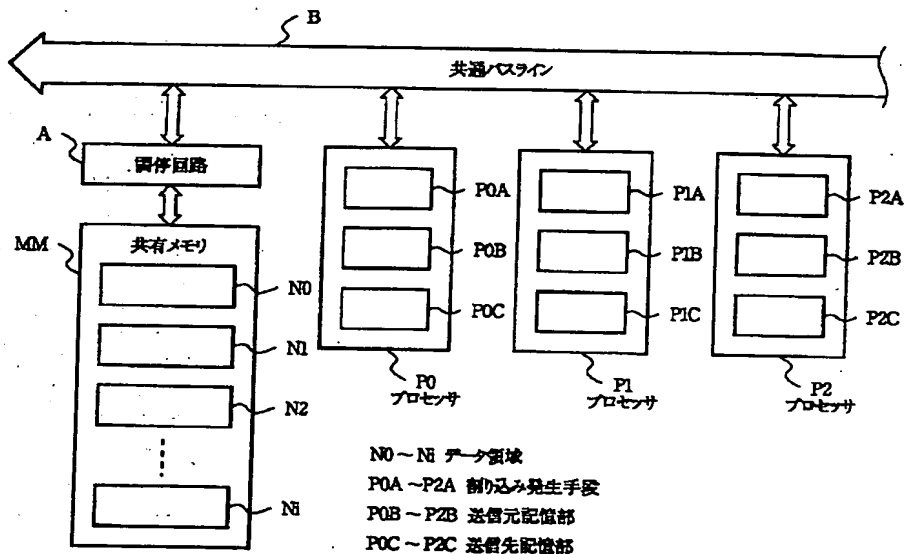
【図4】図1に示した実施例の一動作時におけるデータ領域、送信元記憶部及び送信先記憶部の内容を示した図である。

【図5】本発明の他の実施例のブロック図である。

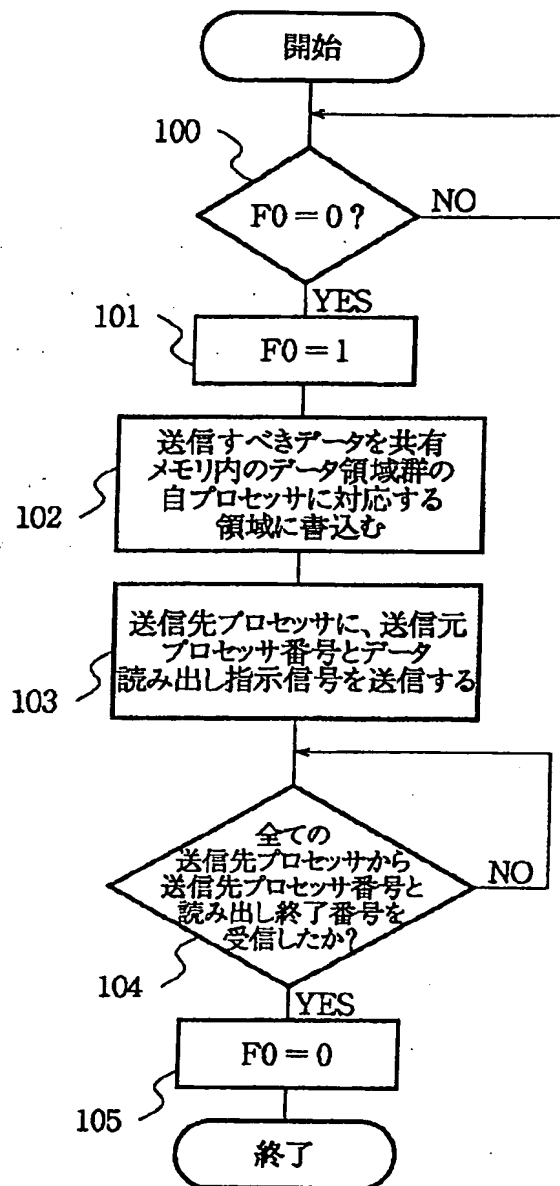
【符号の説明】

- A 調停回路
- B 共通バスライン
- MM 共有メモリ
- N0～Ni データ領域
- P0～Pi プロセッサ
- POA～PiA 割り込み発生手段
- POB～PiB 送信元記憶部
- POC～PiC 送信先記憶部。

【図1】



【図2】



【図3】

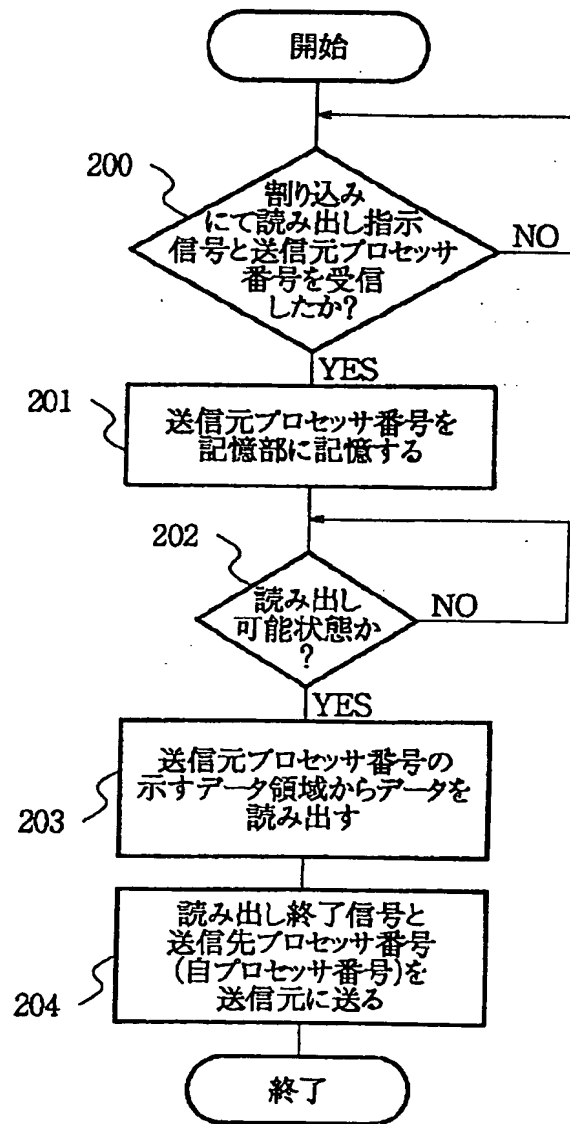


Figure 1 is a block diagram of a system architecture. At the top, a horizontal line represents the '共通バスライン' (Common Bus Line). Below this bus, four main components are connected via bidirectional arrows. On the left is the 'MM' (Main Memory) block, which contains a '共有メモリ' (Shared Memory) section with data areas labeled 'DATA P0', 'DATA P1', 'DATA P2', and 'DATA Ni'. Above the shared memory is a '制御回路' (Control Circuit). To the right of the MM are three processing units: 'F0 プロセッサ', 'F1 プロセッサ', and 'F2 プロセッサ'. Each unit contains a '送信元記憶部' (Source Memory) and a '送信先記憶部' (Destination Memory). The legend at the bottom defines the labels: N0 ~ Ni are data areas; POA ~ P2A are source memory; POB ~ P2B are source memory; and POC ~ P2C are destination memory.

【図5】

